

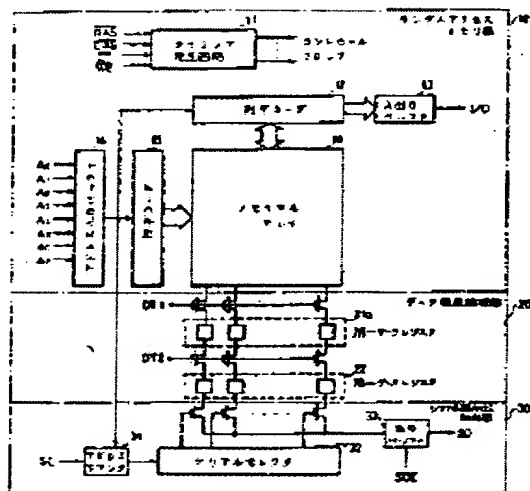
DUAL PORT MEMORY AND DATA TRANSFER METHOD

Patent number: JP1096896
Publication date: 1989-04-14
Inventor: OSAMI AKIRA
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: G11C11/34; G11C11/34; (IPC1-7): G11C11/34
 - european:
Application number: JP19870254348 19871008
Priority number(s): JP19870254348 19871008

Report a data error here

Abstract of JP1096896

PURPOSE: To remarkably reduce many constraints in an input timing by transferring data between a RAM part and a serial operation part in two steps in a dual port memory. **CONSTITUTION:** This port memory includes the RAM part 10, a data transfer logical part 20a and a serial reading operation part 30. In the logical part 20a, the data is transferred between the RAM part 10 and the operation part 30 in the two steps. The first internal data transfer lock DT 1 of the logical part 20a is automatically internally activated when the data of the memory cell of a selected row is completely amplified on a digit line to transfer the data to a first data register 21a. A row address strobe clock inversion RAS receives a timing returning to a high level to activate a second internal data transfer clock DT 2, transfer the contents of the register 21a to a second data register 22 and prepare for a serial selector 32 on reading a new row.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

平1-96896

⑮ Int. Cl.⁴
G 11 C 11/34識別記号
3 7 1庁内整理番号
H-8522-5B

④公開 平成1年(1989)4月14日

審査請求 未請求 発明の数 4 (全11頁)

⑬発明の名称 デュアルポートメモリとそのデータ転送方法

⑯特 願 昭62-254348

⑰出 願 昭62(1987)10月8日

⑱発明者 長 見 晃 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳代理人 弁理士 井出 直孝

明 細 書

1. 発明の名称

デュアルポートメモリとそのデータ転送方法

2. 特許請求の範囲

(1) メモリセルアレイを含みランダムにデータをアクセス可能なランダムメモリアクセス部と、前記メモリセルアレイからシリアルにデータを読み出すシリアル読み出し動作部と、前記メモリセルアレイと前記シリアル読み出し動作部との間のデータの転送を制御するデータ転送論理部と

を備えたデュアルポートメモリにおいて、

前記データ転送論理部が、

第一内部データ転送クロックで制御され前記メモリアレイから読み出したデータを一時蓄積する第一蓄積手段と、第二内部データ転送クロックで制御され前記第一蓄積手段に蓄積されたデータを取り込み一時蓄積し前記シリアル読み出し動作部へ送出する第二蓄積手段と

を含むことを特徴とするデュアルポートメモリ。

(2) メモリセルアレイを含みランダムにデータをアクセス可能なランダムメモリアクセス部と、前記メモリセルアレイからシリアルにデータを読み出すシリアル読み出し動作部と、第一内部データ転送クロックで制御され前記メモリセルアレイから読み出したデータを一時蓄積する第一蓄積手段と第二内部データ転送クロックで制御され前記第一蓄積手段に蓄積されたデータを取り込み一時蓄積し前記シリアル読み出し動作部へ送出する第二蓄積手段とを含むシリアル読み出し動作部とを備えたデュアルポートメモリのデータ転送方法において、

前記ランダムアクセスメモリ部の行アドレスストロブクロックが活性化レベルのときに前記第一内部データ転送クロックを活性化レベルにしてデータを前記メモリセルアレイから読み出し前記第一蓄積手段に蓄積し、前記行アドレスストロブクロックが非活性化レベルになったときに前記第二内部データ転送クロックを活性化レベルにし

てデータを前記第一蓄積手段から前記第二蓄積手段へ転送する

ことを特徴とするデュアルポートメモリのデータ転送方法。

(3) メモリセルアレイを含みランダムにデータをアクセス可能なランダムアクセスメモリ部と、シリアルに前記メモリセルアレイからデータを読み出したまたは前記メモリセルアレイにデータを書き込むシリアル動作部と、前記メモリセルアレイと前記シリアル動作部との間のデータの転送を制御するデータ転送論理部と

を備えたデュアルポートメモリにおいて、

前記データ転送論理部が、

第一内部データ転送クロックで制御され前記メモリセルアレイから読み出されたデータまたは前記メモリセルアレイに書き込むデータを一時蓄積する第一蓄積手段と、第二内部データ転送クロックで制御され前記第一の蓄積手段に蓄積されたデータを取り込み一時蓄積したまたは前記シリアル動作部から取り込んだデータを前記第一蓄積手段へ

転送する第二蓄積手段と

を含むことを特徴とするデュアルポートメモリ。

(4) メモリセルアレイを含みランダムにデータをアクセス可能なランダムアクセスメモリ部と、シリアルに前記メモリセルアレイからデータを読み出したまたは前記メモリセルアレイにデータを書き込むシリアル動作部と、第一内部データ転送クロックで制御され前記メモリセルアレイから読み出されたデータをまたは前記メモリセルアレイに書き込むデータを一時蓄積する第一蓄積手段と、第二内部データ転送クロックで制御され前記第一の蓄積手段に蓄積されたデータを取り込み一時蓄積したまたは前記シリアル動作部から取り込んだデータを前記第一蓄積手段へ転送する第二蓄積手段とを備えたデュアルポートメモリのデータ転送方法において、

前記ランダムアクセスメモリ部の行アドレスストロブクロックおよびライトイネーブルクロックがそれぞれ活性化レベルおよび非活性化レベルのときを読み出しサイクルとして、前記第一内部

データ転送クロックを活性化レベルにしてデータを前記ランダムアクセスメモリ部から読み出し前記第一蓄積手段に蓄積し、前記行アドレスストロブクロックが非活性化レベルになったときに前記第二内部データ転送クロックを活性化レベルにしてデータを前記第一蓄積手段から前記第二蓄積手段へ転送し、

前記行アドレスストロブクロックおよび前記ライトイネーブルクロックがともに活性化レベルのときを書き込みサイクルとして、前記第二内部データ転送クロックを活性化レベルにしてデータを前記第二蓄積手段から前記第一蓄積手段へ転送し、転送終了後前記第一内部データ転送クロックを活性化してデータを前記メモリセルアレイへ書き込む

ことを特徴とするデュアルポートメモリのデータ転送方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は記憶装置分野に利用される。

、本発明はデュアルポートメモリとそのデータ転送方法に関し、特にグラフィックディスプレイシステムの専用メモリとして用いられるデュアルポートメモリとそのデータ転送方法に関する。

〔概要〕

本発明は、メモリセルアレイを含みデータをランダムにアクセス可能なランダムアクセスメモリ部と、前記メモリセルアレイに対してシリアルにデータの読み出しあるいはデータの読み出しおよび書き込みを行うシリアル読出動作部あるいはシリアル動作部と、前記メモリマトリクスと前記シリアル動作部との間のデータの転送を制御するデータ転送論理部とを備えたデュアルポートメモリとそのデータ転送方法において、

前記データ転送論理部にデータの転送を2段階に行うところの第一蓄積手段と第二蓄積手段とを設け、前記第一および第二蓄積手段を、前記ラン

ダムアクセスメモリ部の所定の入力クロックと所定のタイミングで制御することにより、

シリアル動作を連続的にを行いながらデータ転送サイクルを実行するのに必要な入力タイミングの制約を軽減し、簡単により高速で動作できるようにしたものである。

〔従来の技術〕

従来、この種のデュアルポートメモリは第7図に示す回路構成が代表的であり、汎用のダイナミックランダムアクセスメモリにデータ転送クロック \overline{DT} による転送ゲートを介しシリアル読み出し動作部30が連がる形である。データ転送クロック \overline{DT} をランダムアクセスメモリ部10の動作に同期させて活性化するとデータ転送サイクルとなり、メモリセルアレイ16の選択された一行のメモリセルデータがデータレジスタ21に転送される。このデータレジスタ21の内容をシリアルに読み出すことによりCRT（陰極線管）への表示データが得られる。データ転送サイクル以外の期間では転送ゲートは閉じてランダムアクセスメモリ部10およ

びシリアル読み出し動作部30はたがい独立に非同期に動作を行うことができ、CRTへの表示をしながら並行してCPU（中央処理装置）によるメモリ内容の書き換えが実行できるわけである。画面の塗りつぶしなどCPUの高頻度アクセスが今後一層求められるグラフィックディスプレイシステムではシステム動作効率を高めるのに最適なメモリとなっている。

なお、第7図において、ランダムアクセスメモリ部10は、タイミング発生回路11、列デコード12、入出力バッファ13、アドレス入力バッファ14、行デコード15およびメモリセルアレイ16を含み、データ転送論理部20はデータレジスタ21を含み、シリアル読み出し動作部30はアドレスカウンタ31、シリアルセクタ32および出力バッファ33を含んでいる。

〔発明が解決しようとする問題点〕

前述した従来のデュアルポートメモリは、シリアル読み出し動作を実行しながらデータ転送サイクルを行える手段を有している。データレジスタ

21の内容を入れ換えながらも、シリアル読み出しを連続して行うことができ、パンニング、スクロール、マルチスクリーンなどの画面操作に有効となる。

この動作を実行する場合第8図に示すタイミング条件を守ることが従来必要である。ランダムアクセスメモリ部10の行アドレスストロブクロック \overline{RAS} が高レベルから低レベルに活性化される時点でデータ転送クロック \overline{DT} が低いレベルであると、その \overline{RAS} サイクルはデータ転送サイクルとなる。行アドレスストロブクロック \overline{RAS} および列アドレスストロブクロック \overline{CAS} の活性化にそれぞれ同期させて与える行アドレスおよび列アドレス入力は、データレジスタ21にデータ内容を転送するメモリセルアレイ16の行の位置および転送後のシリアル読み出し動作の開始番地をそれぞれ指定する。行アドレスストロブクロック \overline{RAS} および列アドレスストロブクロック \overline{CAS} が低いレベルである間にデータ転送クロック \overline{DT} を低いレベルから高レベルに戻すと、内部発生の

データ転送クロック \overline{DT} が活性化され、データ転送ゲートが開いて指定された行のメモリセルのデータがデータレジスタ21に転送される。この時点以降、シリアルコントロールクロック \overline{SC} を低レベルから高レベルに移行させて次のシリアル読み出し動作を行うと、新しく転送した行について指定した番地から動作が開始される。この古い行の読み出し期間 T_0 から新しい行の読み出し期間 T_1 へのシリアル読み出し動作をシリアルコントロールクロック \overline{SC} のタイミングに変化なく連続的に行う場合、第8図に示す $t_1 \sim t_6$ のタイミング条件をすべて守る必要がある。

例として、行アドレスストロブクロック \overline{RAS} の低レベル期間 $t_{RAS} = 120\text{ns}$ 、シリアルコントロールクロック \overline{SC} のサイクル時間 $t_{SCC} = 40\text{ns}$ に対し、 $t_1 = 100\text{ns}$ 、 $t_2 = 10\text{ns}$ 、 $t_3 = 40\text{ns}$ 、 $t_4 = 10\text{ns}$ 、 $t_5 = 10\text{ns}$ および $t_6 = 10\text{ns}$ である。データ転送クロック \overline{DT} を低レベルから高レベルに戻すタイミングは、行アドレスストロブクロック \overline{RAS} および列アドレスストロブクロック

CASに対してはメモリセルアレイ16において選択行のメモリセルのデータがディジット線上で十分増幅されるのを待ってデータ転送ゲートを開く必要があるし、シリアルコントロールクロックSCに対しては、データレジスタ21の内容の入れ換えおよび新しい行の読み出しについてのシリアルセクタ32の準備を行う必要があるためそれぞれ制約を生じる。しかし実際のシステム設計においてはこれら六つのタイミング条件を全て守ることはスキューが十分とれず極めて困難で、動作速度が制約される欠点があった。

本発明の目的は、前記の欠点を除去することにより、シリアル動作を連続的にを行いながらデータ転送サイクルを実行するのに必要な入力タイミングの制約を軽減し、簡単にかつより高速動作できるデュアルポートメモリとそのデータ転送方法を提供することにある。

〔問題点を解決するための手段〕

本第一の発明のデュアルポートメモリは、メモリセルアレイを含みランダムにデータをアクセス

し、前記行アドレスストロブクロックが非活性化レベルになったときに前記第二内部データ転送クロックを活性化レベルにしてデータを前記第一蓄積手段から前記第二蓄積手段へ転送することを特徴とする。

本第三の発明のデュアルポートメモリは、メモリセルアレイを含みランダムにデータをアクセス可能なランダムアクセスメモリ部と、シリアルに前記メモリセルアレイからデータを読み出したまたは前記メモリセルアレイにデータを書き込むシリアル動作部と、前記メモリセルアレイと前記シリアル動作部との間のデータの転送を制御するデータ転送論理部とを備えたデュアルポートメモリにおいて、前記データ転送論理部が、第一内部データ転送クロックで制御され前記メモリセルアレイから読み出されたデータまたは前記メモリセルアレイに書き込むデータを一時蓄積する第一蓄積手段と、第二内部データ転送クロックで制御され前記第一の蓄積手段に蓄積されたデータを取り込み一時蓄積または前記シリアル動作部から取り込

可能なランダムメモリアクセス部と、前記メモリセルアレイからシリアルにデータを読み出すシリアル読み出し動作部と、前記メモリセルアレイと前記シリアル読み出し動作部との間のデータの転送を制御するデータ転送論理部とを備えたデュアルポートメモリにおいて、前記データ転送論理部が、第一内部データ転送クロックで制御され前記メモリセルアレイから読み出したデータを一時蓄積する第一蓄積手段と、第二内部データ転送クロックで制御され前記第一蓄積手段に蓄積されたデータを取り込み一時蓄積し前記シリアル読み出し動作部へ送出する第二蓄積手段とを含むことを特徴とする。

本第二の発明のデュアルポートメモリのデータ転送方法は、前記第一の発明のデュアルポートメモリのデータ転送方法において、前記ランダムアクセスメモリ部の行アドレスストロブクロックが活性化レベルのときに前記第一内部データ転送クロックを活性化レベルにしてデータを前記メモリセルアレイから読み出し前記第一蓄積手段に蓄

んだデータを前記第一蓄積手段へ転送する第二蓄積手段とを含むことを特徴とする。

本第四の発明のデュアルポートメモリのデータ転送方法は、前記第三の発明のデュアルポートメモリのデータ転送方法において、前記ランダムアクセスメモリ部の行アドレスストロブクロックおよびライトイネーブルクロックがそれぞれ活性化レベルおよび非活性化レベルのときを読み出しサイクルとして、前記第一内部データ転送クロックを活性化レベルにしてデータを前記ランダムアクセスメモリ部から読み出し前記第一蓄積手段に蓄積し、前記行アドレスストロブクロックが非活性化レベルになったときに前記第二内部データ転送クロックを活性化レベルにしてデータを前記第一蓄積手段から前記第二蓄積手段へ転送し、前記行アドレスストロブクロックおよび前記ライトイネーブルクロックがともに活性化レベルのときを書き込みサイクルとして、前記第二内部データ転送クロックを活性化レベルにしてデータを前記第二蓄積手段から前記第一蓄積手段へ転送し、

転送終了後前記第一内部データ転送クロックを活性化してデータを前記メモリセルアレイへ書き込むことを特徴とする。

〔作用〕

データ転送論理部において、ランダムアクセスメモリ部とシリアル読み出し動作部またはシリアル動作部とのデータ転送を２段階に分けて行う。すなわち、例えば読み出しの場合には、行アドレスストロブクロックが活性化レベルで、データ転送クロックが活性化レベルのときに、第一内部データ転送クロックを活性化レベルにして、メモリセルアレイからデータを読み出し、第一蓄積手段に一時蓄積しておいて、前記行アドレスストロブクロックが非活性化レベルのときに、第二内部データ転送クロックを活性化レベルにして、前記第一蓄積手段に蓄積されたデータを第二蓄積手段に転送する。

従って、必要な入力クロックの読み出しのタイミングは、従来必要とした列アドレスストロブクロックおよびデータ転送クロックには無関係と

なり、前記行アドレスストロブクロックとの活性化レベルから非活性化レベルへの変化の時点と、シリアル読み出し動作部またはシリアル動作部におけるシリアルコントロールクロックの周期を定める時点との関係を定める二つのタイミングを定めればよいことになる。

また、前記シリアル動作部と前記メモリセルアレイとの間でデータを両方向に転送するときには、前記行アドレスストロブが活性化レベルで、ライトイネーブルクロックが非活性化レベルのときを読み出しサイクルとして、前述のシリアル読み出し動作部の場合と同様に読み出しが行われる。そして、ライトイネーブルクロックが活性化レベルのときを書き込みサイクルとして、前述のほぼ逆の手順で前記シリアル動作部からのデータを前記メモリセルアレイに書き込む。

従ってこの書き込みの場合は、前記行アドレスストロブクロックが非活性化レベルから活性化レベルへの変化時点と、前記シリアルコントロールクロックの周期を定める時点との関係を定める

二つのタイミングを定めればよい。

すなわち、本発明によると、従来、読み出しの場合六つのタイミングを必要としたものが二つのタイミングを定めるだけで、シリアルデータの読み出しまたは書き込みができ、簡単化および高速化が可能となる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第１図は本第一の発明の一実施例によるデュアルポートメモリを示すブロック構成図である。本実施例のデュアルポートメモリは、ランダムアクセスメモリ部10と、データ転送論理部20aと、シリアル読み出し動作部30とを含んでいる。

そして、ランダムアクセスメモリ部10は、タイミング発生回路11、列デコード12、入出力バッファ13、アドレス入力バッファ14、行デコード15およびメモリセルアレイ16を含み、データ転送論理部20aは、内部発生第一内部データ転送クロックDT1で制御される第一蓄積手段としての第一

データレジスタ21aと、内部発生第二内部データ転送クロックDT2で制御される第二蓄積手段としての第二データレジスタ22とを含み、シリアル読み出し動作部30は、アドレスカウンタ31、シリアルセクタ32および出力バッファ33を含んでいる。

すなわち、本実施例のデュアルポートメモリは、第6図に示した従来のデュアルポートメモリにおいて、そのデータ転送論理部20にデータレジスタを一つ加え、第一内部データ転送クロックDT1で制御される第一データレジスタ21a、および第二内部データ転送クロックDT2で制御される第二データレジスタ22の二つを含むデータ転送論理部20aとしたものである。

そして、本第二発明のデュアルポートメモリのデータ転送方法は前記第一の発明のデュアルポートメモリについて、第一内部データ転送クロックDT1および第二内部データ転送クロックDT2のタイミング発生を適正に行うことにより、シリアル動作を連続させながらのデータ転送サイクル

を容易に実行できるようにしたものである。

第2図および第3図は本第二発明のデュアルポートメモリのデータ転送方法の一実施例を示すタイミング図である。

第2図は内部のデータ転送タイミングの発生方法を示すタイミング図である。行アドレスストロブクロック \overline{RAS} が活性化された時点でデータ転送クロック \overline{DT} が低レベルにあると、データ転送サイクルになる点は従来と同じであるが、第一内部データ転送クロック $DT1$ はデータ転送クロック \overline{DT} の高レベルへの変化には関係なく、選択行のメモセルのデータがディジット線上で十分に増幅されると自動的に内部で活性化されて第一データレジスタ21aへのデータ転送が行われる。データ転送クロック \overline{DT} は行アドレスストロブクロック \overline{RAS} の活性化時点のある期間低レベルに置く以外は制約のない入力となる。行アドレスストロブクロック \overline{RAS} が高レベルに戻るタイミングを受けて第二内部データ転送クロック $DT2$ が活性化され、第一データレジスタ21aの内容

が第二データレジスタ22に転送されるとともに、新しい行の読み出しについてのシリアルセクタ32の準備が行われる。

第3図はメモリのデータ転送サイクルタイミングを示すタイミング図で第7図の従来例に対応する。データ転送クロック \overline{DT} のタイミング条件は払拭され、行アドレスストロブクロック \overline{RAS} の立ち上りに対するシリアルコントロールクロック SC のタイミング t_1 、および t_2 だけを守ればよいことになる。

第4図は本第三の発明の一実施例を示すブロック構成図である。本実施例のデュアルポートメモリは、第1図に示した第一の発明の一実施例のデュアルポートメモリにおいて、シリアル読み出し動作部30の出力バッファ33を入出力バッファ33aに代え、この入出力バッファ33aを介して、シリアルデータ入力 SI をシリアル入力イネーブルクロック \overline{SIE} により取り込んで、メモセルアレイ16に書き込めるようにしたシリアル動作部30aを設けたものである。すなわち、シリアル動作が

読み出しおよび書き込みの双方を行えるようにしたものである。

第5図(a)~(c)および第6図は本第四の発明のデュアルポートメモリのデータ転送方法の一実施例を示すタイミング図で、前記第三の発明のデュアルポートメモリのデータ転送方法を示す。

第5図(a)は行アドレスストロブクロック \overline{RAS} および列アドレスストロブクロック \overline{CAS} とデータ転送クロック \overline{DT} のタイミングを示し、第5図(b)は読み出し時、第5図(c)は書き込み時におけるライトイネーブルクロック \overline{WE} と第一内部データ転送クロック $DT1$ および第二内部データ転送クロック $DT2$ のタイミングを示す。また第6図は書き込みデータ転送サイクルのタイミングを示す。

第5図(a)、(b)および(c)に示すように行アドレスストロブクロック \overline{RAS} が活性化された時点でデータ転送クロック \overline{DT} が低レベル、ライトイネーブルクロック \overline{WE} が高レベルであると読み出しデータ転送サイクルとなり、第二の発明の一実施

例の第2図および第3図で述べたのと全く同じ動作である。一方データ転送クロック \overline{DT} が低レベル、ライトイネーブルクロック \overline{WE} も低レベルであると、書き込みデータ転送サイクルとなり、行アドレスストロブクロック \overline{RAS} が活性化されるのを受けてまず第二内部データ転送クロック $DT2$ が活性化され、その時点の第二データレジスタ22の内容が第一データレジスタ21aに転送される。データ転送クロック \overline{DT} およびライトイネーブルクロック \overline{WE} とともにその後のタイミング制約がなくなる。転送後第二内部データ転送クロック $DT2$ は直ちに低レベルに移行し、続いて第一内部データ転送クロック $DT1$ が活性化される。その後の \overline{RAS} 活性期間において第一データレジスタ21aのデータ内容が選択された行に書き込まれる。

シリアルデータ入力 SI から連続的にデータを入れながら行う書き込みデータ転送サイクルのタイミング図は第6図のように表される。行アドレスストロブクロック \overline{RAS} の立ち下りに対するシリアルコントロールクロック SC のタイミング

t_1 、および t_{10} だけを守ればよいことになる。内部の回路的には第二内部データ転送クロック DT2 が低レベルに移行後、次の行についてのシリアル書き込みデータを入力することができる。

〔発明の効果〕

以上説明したように本発明は、デュアルポートメモリについて、ランダムアクセスメモリ部とシリアル動作部の間のデータ転送を2段階で行うことにより、従来シリアル動作を連続的に行いながらデータ転送サイクルを実行する場合に必要としていた多くの入力タイミングの制約（読み出しデータ転送の場合6個）を大幅に軽減できる（同2個）効果がある。

従って本発明によれば、今後一層高速かつ複雑なデータ処理が求められるグラフィックディスプレイシステムに現状より格段に対応可能なデュアルポートメモリのデータ転送方式を提供することができ、その効果は大である。

4. 図面の簡単な説明

第1図は本第一の発明の一実施例によるデュアルポートメモリを示すブロック構成図。

第2図は本第二の発明の一実施例の内部データ転送タイミング図。

第3図は本第二の発明の一実施例のメモリのデータ転送サイクルタイミング図。

第4図は本第三の発明のデュアルポートメモリを示すブロック構成図。

第5図(a)～(c)は本第四の発明の一実施例の内部データ転送タイミング図。

第6図は本第四の発明の一実施例の書き込みデータ転送サイクルタイミング図。

第7図は従来例のデュアルポートメモリを示すブロック構成図。

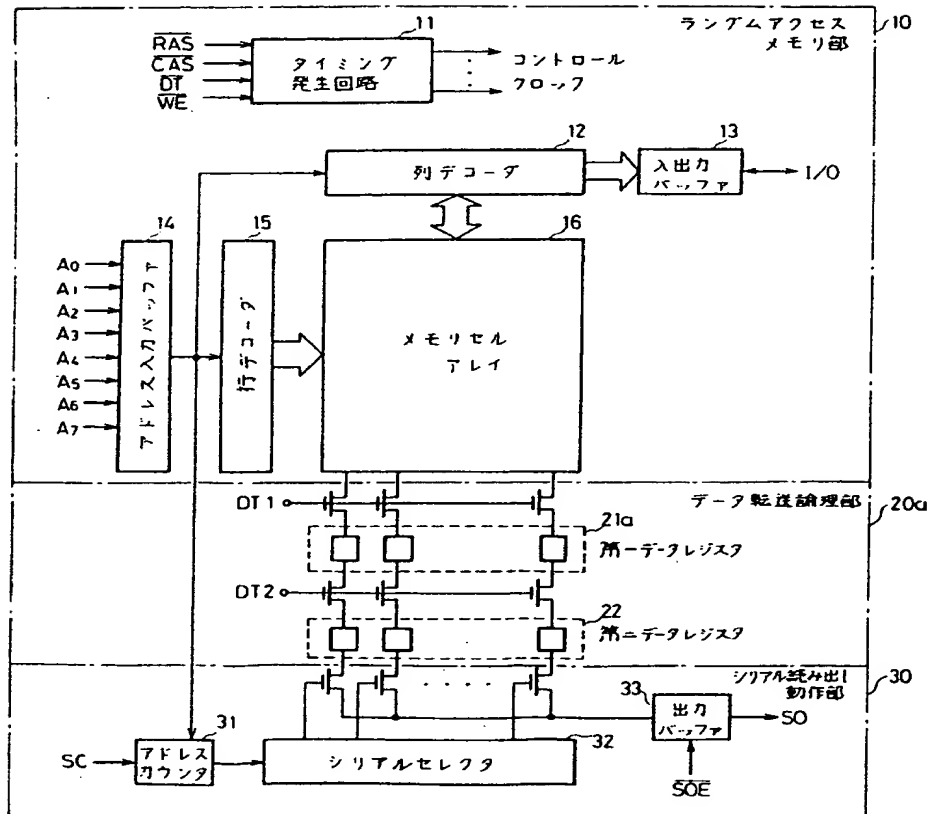
第8図は従来例のメモリのデータ転送サイクルタイミング図。

10…ランダムアクセスメモリ部、11…タイミング発生回路、12…列デコーダ、13…入出力バッファ、14…アドレス入力バッファ、15…行デコーダ、

16…メモリセルアレイ、20、20a …データ転送論理部、21…データレジスタ、21a …第一データレジスタ、22…第二データレジスタ、30…シリアル読み出し動作部、30a …シリアル動作部、31…アドレスカウンタ、32…シリアルセクタ、33…出力バッファ、33a …入出力バッファ、 $A_0 \sim A_7$ …アドレス入力、 \overline{CAS} …列アドレスストロブクロック、DT、DT1、DT2 …内部データ転送クロック、 \overline{DT} …データ転送クロック、I/O …データ入出力端子、 \overline{RAS} …行アドレスストロブクロック、SC…シリアルコントロールクロック、SI…シリアルデータ入力、 \overline{SIE} …シリアル入力イネーブルクロック、SO…シリアルデータ出力、 \overline{SOE} …シリアル出力イネーブルクロック、 $t_1 \sim t_{10}$ …タイミング、 t_{RAS} … \overline{RAS} の低レベル期間、 t_{SCC} …SCのサイクル時間、 T_0 …古い行の読み出し期間、 T_N …新しい行の読み出し期間、 \overline{WE} …ライトイネーブルクロック。

特許出願人 日本電気株式会社

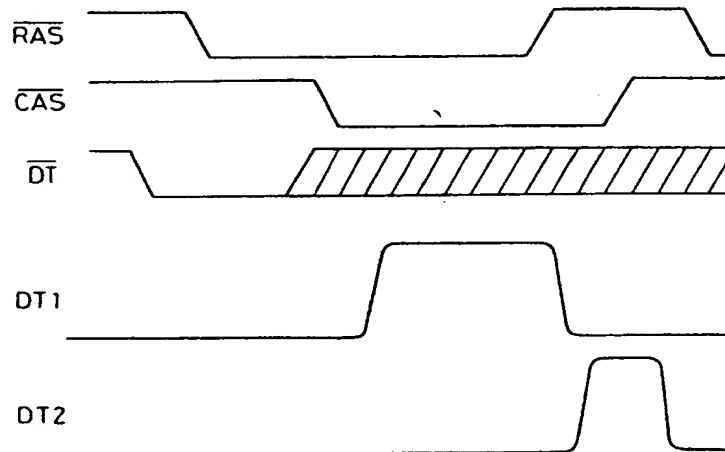
代理人 弁理士 井出直孝



A0~A7 : アドレス入力
 $\overline{\text{CAS}}$: 列アドレスストローブクロック
 DT1 : 第1内部データ転送クロック
 DT2 : 第2内部データ転送クロック
 $\overline{\text{DT}}$: データ転送クロック
 I/O : データ入出力端子
 $\overline{\text{RAS}}$: 行アドレスストローブクロック
 SC : シリアルコントロールクロック
 SO : シリアルデータ出力
 SOE : シリアル出力イネーブルクロック
 WE : ライトイネーブルクロック

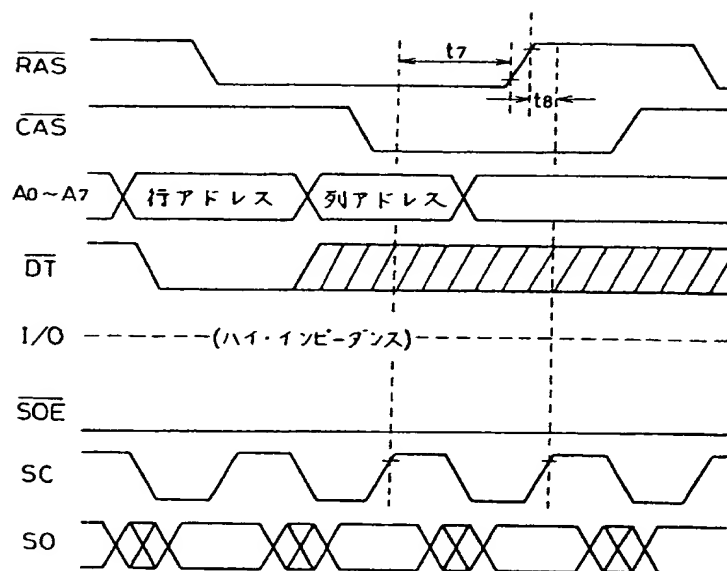
第1の実明の実施例 (回路構成図)

第 1 図



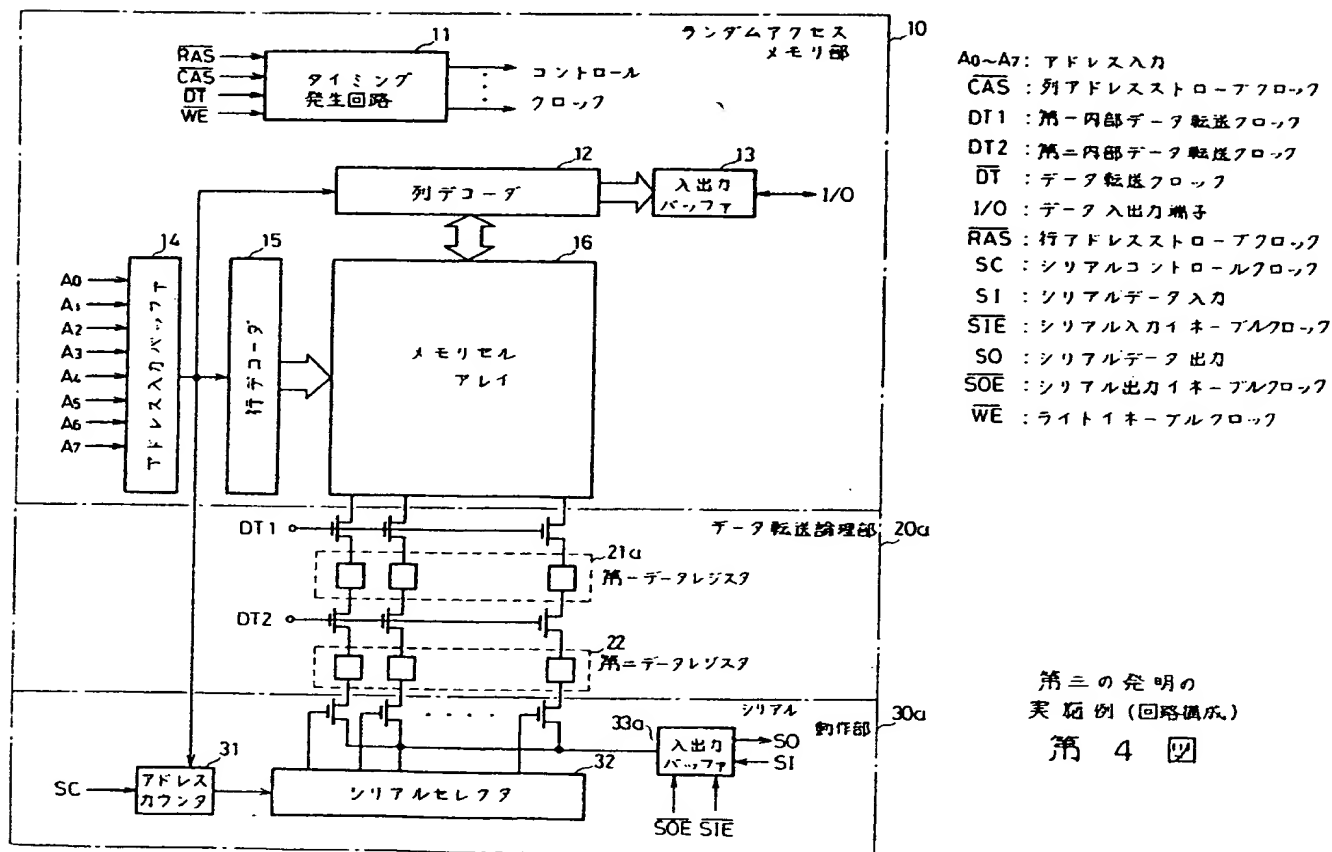
第2の実明の実施例 (データ転送タイミング図)

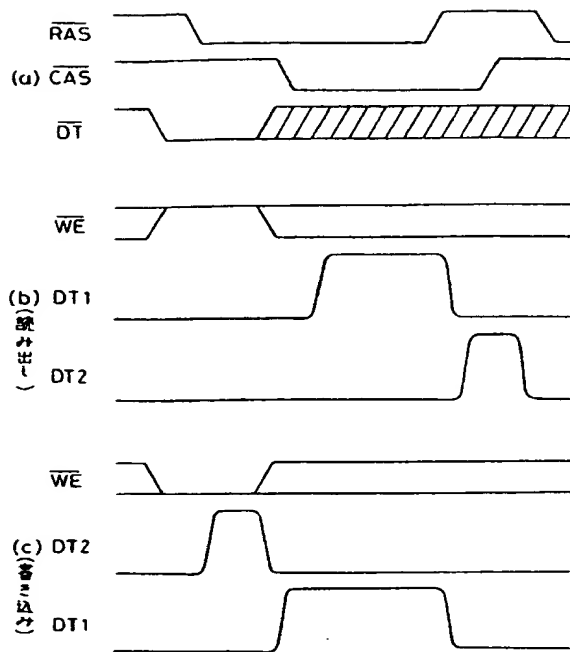
第 2 図



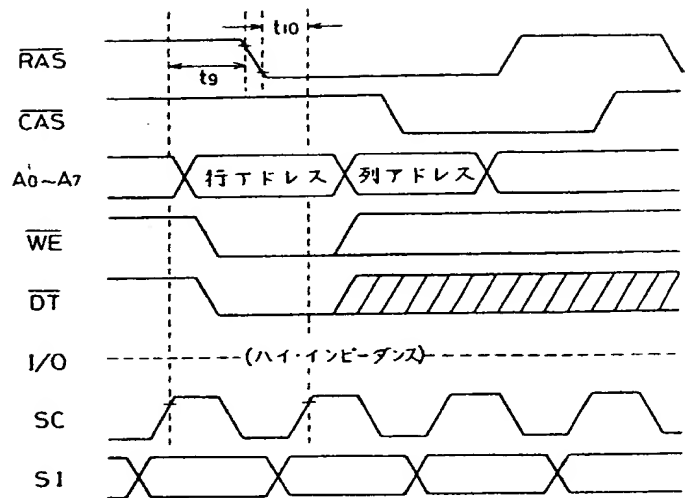
第三の発明の実施例 (データ転送サイクルタイミング図)

第 3 図

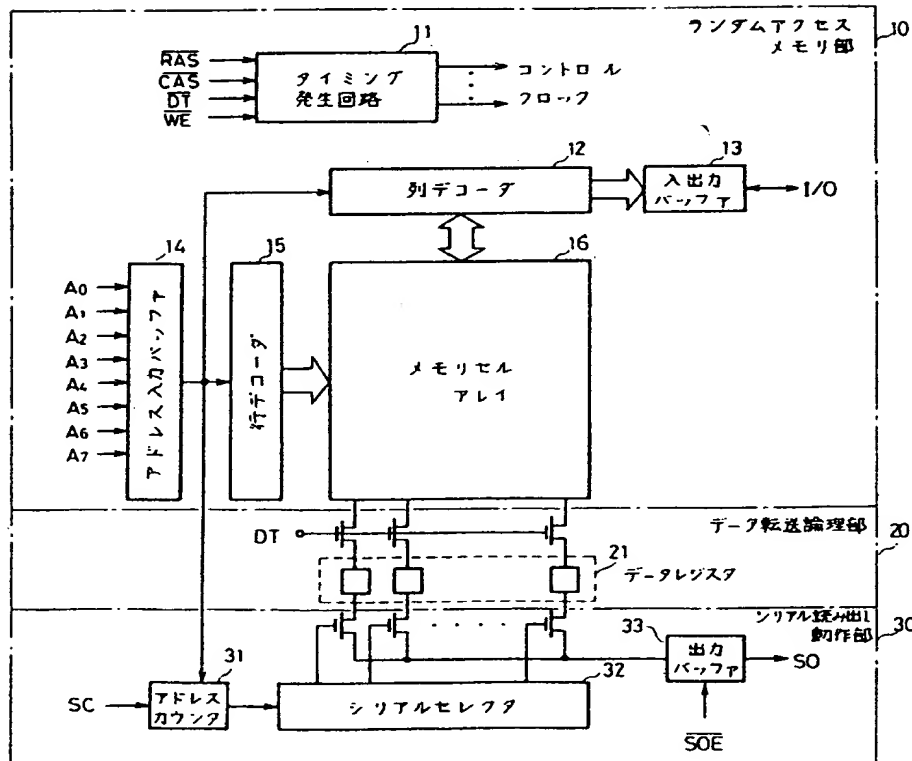




第四の発明の
実施例（内部データ転送タイミング）
第 5 図

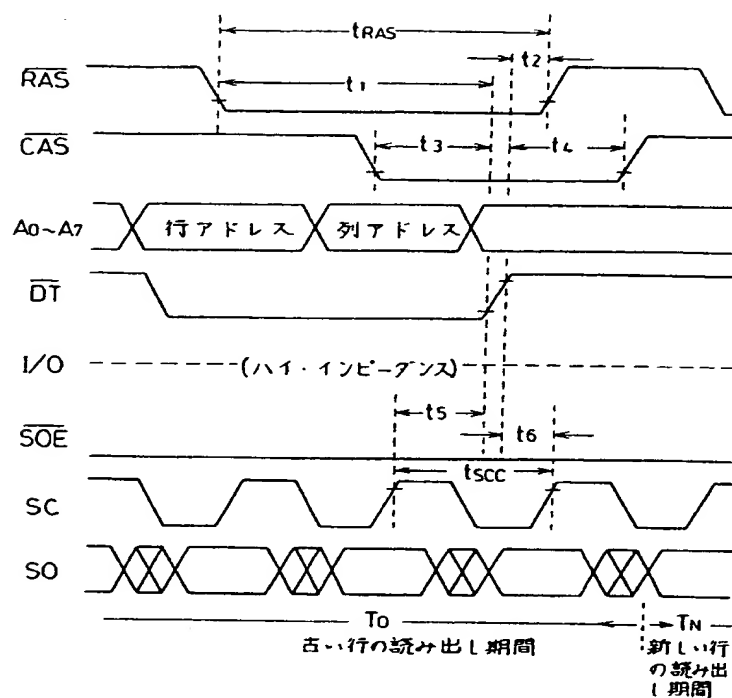


第四の発明の
実施例（書き込みデータ転送サイクルタイミング）
第 6 図



A0-A7 : アドレス入力
CAS : 列アドレスストローブクロック
DT : 内部データ転送クロック
DT : データ転送クロック
I/O : データ入出力端子
RAS : 行アドレスストローブクロック
SC : シリアルコントロールクロック
SO : シリアルデータ出力
SOE : シリアル出力イネーブルクロック
WE : ライトイネーブルクロック

従来例（回路構成）
第 7 図



従来例 (データ転送サイクルタイミング)

第 8 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.